

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-025673

(43)Date of publication of application : 29.01.1999

(51)Int.Cl.

G11C 11/407
H01L 27/04
H01L 21/822
H02M 3/07
// H03L 7/093

(21)Application number : 09-189245

(71)Applicant : NEC CORP

(22)Date of filing : 30.06.1997

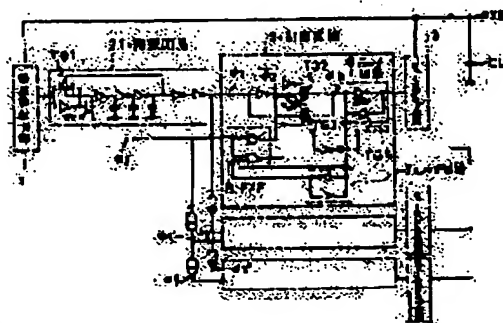
(72)Inventor : OKADA YASUHIRO

(54) BOOSTING CIRCUIT AND ITS CONTROL

(57)Abstract:

PROBLEM TO BE SOLVED: To distribute peak currents caused by a noise in amplifying cell data and a noise by operation of a boosting circuit and to stabilize operation of data amplification by storing respective states when plural charge pump circuits are stopped, and giving forcibly logic being reverse to logic in a stopped state to each charge pump at the time of restart.

SOLUTION: When a boosting potential node VB is lower than a set value, a discrimination output signal ϕ_{v1} has a high level, a latch circuit 6 stops latch operation, and a transfer gate TG4 is turned off. At the time, a latch circuit 7 stores such a state that operation of a signal ϕ_{v3} stops. A F/F circuit 8 selects a signal of reverse logic being a signal ϕ_{v3} out of signals ϕ_{v2} and $-\phi_{v2}$ and gives it to a node of ϕ_{v3} by logic of an output of this latch circuit 7 and logic of a discrimination output signal ϕ_{v1} . Thereby, a charge pump circuit 3 can be divided, a peak value of a consumption current of the charge pump circuit 3 can be distributed.



LEGAL STATUS

[Date of request for examination] 30.06.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3090097

[Date of registration] 21.07.2000

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-25673

(43) 公開日 平成11年(1999) 1月29日

(51) Int.Cl.⁸

識別記号

F I

G 1 1 C 11/407

G 1 1 C 11/34

3 5 4 F

H 0 1 L 27/04

H 0 2 M 3/07

21/822

H 0 1 L 27/04

G

H 0 2 M 3/07

H 0 3 L 7/08

E

// H 0 3 L 7/083

審査請求 有 請求項の数 8 F D (全 7 頁)

(21) 出願番号

特願平9-189245

(22) 出願日

平成9年(1997) 6月30日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 岡田 康宏

東京都港区芝五丁目7番1号 日本電気株式会社内

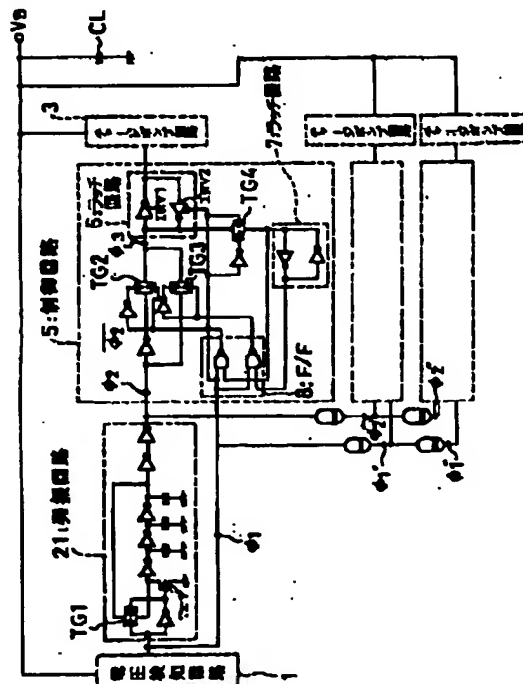
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 昇圧回路及びその制御方法

(57) 【要約】

【課題】 セルデータ増幅時のノイズと昇圧回路動作によるノイズの重複とで発生するピーク電流を分散させセルデータ増幅が安定に動作するようにした昇圧回路の提供。

【解決手段】 電圧検知回路と、電圧検知回路の判定出力信号の制御を受けて発振する発振回路と、発振回路のそれぞれの出力信号の位相の異なる信号を受けて各々動作する複数台のチャージポンプ回路と、を含んでなる昇圧回路において、発振回路の出力信号に、電圧検知回路の判定出力信号で制御されるトランスファークラップ、フリップフロップ、及びラッチ回路等のスイッチ手段を備え、発振回路の出力信号の位相の異なる信号は、各々のスイッチ手段を通してチャージポンプ回路に伝えられる。



【特許請求の範囲】

【請求項1】電圧検知回路と、

前記電圧検知回路の判定出力信号の制御を受けて発振する発振回路と、
前記電圧検知回路と前記発振回路のそれぞれの出力信号の位相の異なる信号を受けて各々動作する複数の制御回路と、
前記複数の制御回路の各々の制御を受けて動作する複数のチャージポンプ回路と、を備えた昇圧回路の制御方法において、
前記チャージポンプ回路が停止した時のチャージポンプへの出力を記憶しておき、再起動時には前記各チャージポンプ回路に停止した状態とは逆の論理を強制的に与える、ことを特徴とする昇圧回路の制御方法。

【請求項2】電圧検知回路と、

前記電圧検知回路の判定出力信号の制御を受けて発振する発振回路と、
前記発振回路のそれぞれの出力信号の位相の異なる信号を受けて各々動作する複数のチャージポンプ回路と、を含んでなる昇圧回路において、
前記発振回路の出力信号に、前記電圧検知回路の前記判定出力信号で制御されるトランスファゲート、フリップフロップ、ラッチ回路等のスイッチ手段を配置し、
前記発振回路の出力信号の位相の異なる信号が、各々の前記スイッチ手段を通して前記チャージポンプ回路に伝えられる、
ことを特徴とする昇圧回路。

【請求項3】前記スイッチ手段を通した前記発振回路の出力信号をラッチするラッチ手段を有することを特徴とする請求項2記載の昇圧回路。

【請求項4】前記ラッチ手段によってラッチされた信号の論理と、前記電圧検知回路の判定出力信号と、の論理によって、前記発振回路の出力信号の論理の正相と逆相のうち、前記ラッチ手段によってラッチされた信号の論理の逆相の方を選択する手段を備える、ことを特徴とする請求項2記載の昇圧回路。

【請求項5】電圧検知回路と、

前記電圧検知回路の判定出力信号の制御を受けて発振する発振回路と、
前記電圧検知回路と前記発振回路のそれぞれの出力信号の位相の異なる信号を受けて各々動作する複数の制御回路と、
前記複数の制御回路の各々の制御を受けて動作する複数のチャージポンプ回路と、を備え、
前記制御回路は、前記発振回路の出力信号及びその反転信号を入力とし、前記電圧検知回路の判定出力信号で相補制御される第1、及び第2のスイッチ回路を備え、前記第1又は第2のスイッチ回路の出力を前記チャージポンプ回路への出力信号とし、前記チャージポンプ回路への出力を停止した時の前記出力信号の論理を記憶するラ

ッチ回路を備え、

再起動時に、前記チャージポンプ回路に、停止した時の状態とは逆の論理を強制的に与える回路手段と、
を備えることを特徴とする昇圧回路。

【請求項6】昇圧電位が設定電位よりも低い時に判定出力信号(φ)をアクティブとする電圧検知回路と、
前記電圧検知回路の前記判定出力信号(φ1)の制御を受けて発振し発振出力信号(φ2)を出力する発振回路と、
チャージポンプ回路と、
前記電圧検知回路の判定出力信号(φ1)と前記発振回路の出力信号(φ2)を受けて前記チャージポンプ回路の動作を制御する制御回路と、を備え、

前記制御回路が、
前記発振回路の出力信号(φ2)と、その反転信号(φ2^ー)の伝達を相補的に制御する第1、第2のトランスファゲートと、
前記第1、第2のトランスファゲートの出力接続点の信号(φ3)、すなわち前記チャージポンプ回路への出力を、前記判定出力信号(φ1)がインアクティブの時ラッチする第1のラッチ回路と、
前記信号(φ3)を、前記判定出力信号(φ1)がインアクティブの時導通する第3のトランスファゲートを介してラッチする第2のラッチ回路と、
前記第1ラッチ回路の出力信号(φ3)と、前記電圧検知回路の判定出力信号(φ1)とから、前記発振回路の出力信号(φ2)の論理の正相と逆相のうち、前記第2のラッチ回路によってラッチされた信号の論理と、逆相の方を選択して出力するように、前記第1及び第2のトランスファゲートを制御する回路手段と、を備えたことを特徴とする昇圧回路。

【請求項7】前記発振回路が、前記判定出力信号(φ1)の論理値に基づき発振停止時に固定電位に設定するスイッチ手段を備えたことを特徴とする請求項6記載の昇圧回路。

【請求項8】複数のチャージポンプ回路に対応して前記制御回路を複数備え、2番目以降の制御回路は、前記発振回路の出力信号(φ2)及び前記電圧検知回路の判定出力信号(φ1)をそれぞれ遅延手段で遅延した信号を入力して、対応する前記チャージポンプ回路の動作を制御することを特徴とする請求項6記載の昇圧回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体回路装置に関し、特に、昇圧回路及びその制御方法に関する。

【0002】

【従来の技術】近年のダイナミックランダムメモリ(以下「DRAM」という)では、ワード線の駆動等のために、チップ内部で昇圧回路によって昇圧された電位を恒常的に発生させる方式が用いられるようになってきてい

る。

【0003】この目的のために開発された従来の昇圧回路の一例を図3に示す。図3を参照すると、この昇圧回路は、電圧検知回路1、発振回路22、チャージポンプ回路3、制御回路4、及び補償容量 C_L から構成されている。

【0004】図5に、電圧検知回路1の構成の一例を示す。図5を参照すると、電圧検知回路1は、昇圧節点 V_B の電位を抵抗で分割し、リファレンス電圧 V_{REF} と、コンパレータCOMPで比較する、構成とされている。 V_B の電位が、抵抗分割比とリファレンス電圧 V_{REF} で決まる設定電位よりも低ければ、コンパレータ出力である昇圧回路制御信号 $\phi 1$ はハイレベルとなり、逆に、 V_B の電位の方が高ければ、昇圧回路制御信号 $\phi 1$ はローレベルとなる。

【0005】図3には、一般的な、発振回路22が示されており、奇数段縦続接続され出力段の出力が入力段に帰還入力されたインバータ列からなるリングオシレータと、波形整形のためのバッファリング回路から構成される。

【0006】図3を参照すると、Pchトランジスタ及びNchトランジスタからなるトランスファゲートTG1は、制御端子に昇圧回路制御信号 $\phi 1$ 及びその反転信号を入力し、 $\phi 1$ がハイレベルの時に、導通状態（オン）となり、リングオシレータの最終段のインバータ出力が初段のインバータの入力に帰還するパスが形成されて、リングオシレータは動作し、一方、 $\phi 1$ がローレベルの時に、トランスファゲートTG1は非導通状態（オフ）となり、リングオシレータの最終段のインバータ出力が初段のインバータの入力に帰還するパスが断たされ、リングオシレータは動作を停止する。

【0007】リングオシレータのノードN1にはチャージポンプ回路制御回路4からのフィードバック信号である $\phi 3$ が、トランスファゲートTG3を介して接続されている。Pchトランジスタ及びNchトランジスタからなるトランスファゲートTG3は、制御端子に昇圧回路制御信号 $\phi 1$ 及びその反転信号を入力し、昇圧回路制御信号 $\phi 1$ がハイレベルの時オフ、 $\phi 1$ がローレベルの時にはオンになる。

【0008】図3に示したチャージポンプ回路の制御回路4について以下に説明する。発振回路22の出力である $\phi 2$ は、トランスファゲートTG2を介してトランスファゲートTG3に接続される。

【0009】トランスファゲートTG2の出力は、入力と出力が互いに接続された、インバータINV1とトライステート型インバータINV2からなるフリップフロップを介して、チャージポンプ回路3に接続されており、チャージポンプ回路3を駆動している。

【0010】Pchトランジスタ及びNchトランジスタからなるトランスファゲートTG2は、制御端子に昇

圧回路制御信号 $\phi 1$ 及びその反転信号を入力し、 $\phi 1$ がハイレベルの時オン、 $\phi 1$ がローレベルの時オフとなる。トライステートインバータINV2は、昇圧回路制御信号 $\phi 1$ を出力制御端子に入力し、 $\phi 1$ がハイレベルの時インバータとして動作し、ローレベルの時にはオフ（高インピーダンス出力状態）となる。

【0011】チャージポンプ回路3の構成の一例を図6に示す。図6に示した構成は、相補型回路方式と呼ばれており、信号 $\phi 2$ の方形波により制御される。コンデンサC1及びC2は逆相で動作する。

【0012】よって、 $\phi 2$ がハイレベルからローレベルへ遷移する時には、コンデンサC1の電荷が V_B に出力され、 $\phi 2$ がローレベルからハイレベルへ遷移する時には、コンデンサC2の電荷が V_B に出力される。

【0013】 V_B に出力された電荷は、補償容量 C_L に蓄えられ、 V_B は昇圧された高い電位を保つ。

【0014】図4は、上記従来技術の動作を説明するためのタイミングチャートである。

【0015】ワード線駆動回路等の昇圧節点 V_B の負荷が電流を消費して、 V_B が設定値より低くなると、昇圧回路制御信号 $\phi 1$ がハイレベルになり、発振回路が動作をはじめ、 $\phi 2$ と $\phi 3$ が発振し、チャージポンプ3を動作させることで、 V_B の電位が高くなる。

【0016】 V_B が設定値より高くなると、 $\phi 1$ がローレベルになる（図4のtF参照）。これにより、トランスファゲートTG1とTG2がオフになり、トランスファゲートTG3はオンになる。すると、発振回路22の出力 $\phi 2$ は発振を止めるが、制御回路4からの信号 $\phi 3$ のフィードバックにより、 $\phi 2$ は逆相になって止まることになる（図4のt4の $\phi 2$ 参照）。

【0017】次に V_B が設定値よりも再び下がると、昇圧回路制御信号 $\phi 1$ がハイレベルとなり（図4のtR）、トランスファゲートTG1とTG2はオンし、トランスファゲートTG3がオフになる。発振回路22の出力 $\phi 2$ は、 $\phi 3$ と逆相で停止していたので、 $\phi 3$ はすぐ発振を始める。

【0018】このようにして、昇圧節点 V_B の電位は、設定値通りの常に高い電位を保つことになる。

【0019】

【発明が解決しようとする課題】ところで、安定した昇圧電位の供給をDRAMにおいて実現する時、図6に示すようなチャージポンプ回路のコンデンサC1、C2の容量は数百pFのオーダーとなり、ピーク電流は数百mA以上となる。

【0020】これだけの電流がDRAM回路内を流れると、他の回路へ与える雑音としての影響が大きい。特にセンスアンパ動作時にこれだけの雑音があれば、センスアンパの誤動作も生じることがある。

【0021】この問題を解決するには、次の2つの方法が考えられる。

【0022】(1)第1の方法は、RAS $\bar{}$ (ロウアドレスストローブ)等のDRAM制御信号との論理で動作するようにし、センスアンプ動作時には、チャージポンプが動作しないようにするものである。

【0023】(2)第2の方法は、チャージポンプを分割して位相を変えて動作させるようにするものである。

【0024】センスアンプは、ワード線が立ち上がった後、動作を開始する。このため、センスアンプの動作前後には、ワード線の昇圧電位供給用の昇圧回路は安定動作が要求されるので、第1の方法は、実現が困難である。

【0025】第2の方法は、チャージポンプを分割して位相を変えて動作させることである。これを従来の回路を用いて実現させようとすると問題が生じる。

【0026】すなわち、複数台の位相の違った動作をするチャージポンプを駆動する発振回路の出力信号もそれぞれ位相が違う。これをラッチしてから発振回路にフィードバックすることはできない。

【0027】したがって、本発明は、上記問題点に鑑みてなされたものであって、その目的は、昇圧回路を具備した半導体記憶装置において、セルデータ増幅時のノイズと昇圧回路動作によるノイズの重複とで発生するピーク電流を分散させ、セルデータ増幅が安定に動作するようにする昇圧回路及びその制御方法を提供することにある。

【0028】

【課題を解決するための手段】前記目的を達成するため、本発明の昇圧回路は、電圧検知回路と、発振回路と、前記電圧検知回路と、前記発振回路のそれぞれの出力信号の位相の異なる信号を受けて各々動作する複数の制御回路と、それぞれの制御回路の制御を受けて動作する複数のチャージポンプ回路を備え、前記制御回路は、前記各チャージポンプ回路が停止した時のそれぞれの状態を記憶する手段を持ち、再起動時には前記各チャージポンプ回路に停止した状態とは逆の論理を強制的に与える手段を備えている。

【0029】

【発明の実施の形態】本発明の実施の形態について以下に説明する。本発明の昇圧回路は、その好ましい実施の形態において、電圧検知回路(図1の1)と、電圧検知回路の判定出力信号($\phi 1$)の制御を受けて発振し出力信号($\phi 2$)を出力する発振回路(図1の21)と、電圧検知回路と発振回路のそれぞれの出力信号を受けてチャージポンプ回路を制御する制御回路(図1の5)と、制御回路の制御を受けて動作するチャージポンプ回路(図1の3)を備え、制御回路は、発振回路の出力信号($\phi 2$)を入力し、その反転信号、及び該出力信号($\phi 2$)の伝達を制御する第1、第2のトランスファゲート(図1のTG1、TG2)と、第1、第2のトランスファゲートの出力接続点の信号($\phi 3$)をラッチしてチャ

ージポンプ回路に出力し、判定出力信号($\phi 1$)により活性化が制御される第1のラッチ回路(図1の6)と、この信号($\phi 3$)を判定出力信号($\phi 1$)で導通が制御されるトランスファゲート(TG4)を介してラッチする第2のラッチ回路(図1の7)と、信号($\phi 3$)とその反転信号($\phi 3\bar{}$)(第2のラッチ回路(図1の7)での反転出力信号)と、電圧検知回路(図1の1)の判定出力信号($\phi 1$)とから、発振回路の出力信号($\phi 2$)の論理の正相と逆相のうち、第2のラッチ回路によってラッチされた信号の論理と逆相の方を選択して出力するように、第1、及び第2のトランスファゲート(図1のTG1、TG2)を制御する回路(図1の8)を備える。

【0030】本発明の実施の形態においては、電圧検知回路と発振回路のそれぞれの出力信号の位相の異なる信号を受けて各々動作する複数の制御回路と、複数の制御回路の各々の制御を受けて動作する複数のチャージポンプ回路を備える。

【0031】

【実施例】上記した本発明の実施の形態について更に詳細に説明すべく、本発明の実施例を図面を参照して以下に説明する。図1は、本発明の一実施例の構成を示す図である。図2は、本発明の一実施例の動作を説明するためのタイミングチャートである。

【0032】図1において、電圧検知回路1、及びチャージポンプ回路3は、図5及び図6に示した回路構成と同様とされるためその説明は省略する。図1を参照すると、本実施例においては、図3に示した従来例に対して、発振回路21のバッファ回路の出力端とチャージポンプ回路3の間に挿入される制御回路5の構成が変更されている。

【0033】本実施例において、制御回路5の信号 $\phi 3$ は、発振回路21にフィードバックされていない。

【0034】制御回路5において、トランスファゲートTG2、TG3は、電圧検知回路1の判定出力信号(図3の昇圧回路制御信号に対応) $\phi 1$ で制御され、 $\phi 1$ がハイレベルの時、すなわち V_B の電位が設定値よりも低い時にオンし、 $\phi 1$ がローレベルの時、すなわち V_B の電位が設定値よりも高い時にオフする。

【0035】トランスファゲートTG4も、電圧検知回路1の判定出力信号 $\phi 1$ で制御される。ただし、トランスファゲートTG2、TG3とは逆論理になっており、 $\phi 1$ がハイレベルの時オフし、 $\phi 1$ がローレベルの時オンする。

【0036】第1のラッチ回路6は、電圧検知回路1の判定出力信号 $\phi 1$ がローレベルになった時、すなわちトランスファゲートTG2、TG3がオフ、トランスファゲートTG4がオンになった時、信号 $\phi 3$ をラッチする。第1のラッチ回路6は、互いに入力と出力を接続したインバータINV1と、制御端子に入力される信号 ϕ

1の値により、入力信号の反転出力、及び高インピーダンス状態とされるトライステート型インバータINV2、よりなる。

【0037】第2のラッチ回路7は、電圧検知回路1の判定出力信号φ1がローレベルになった時、すなわちトランスファゲートTG4がオンになった時、信号φ3をラッチする。第2のラッチ回路7は、互いに入力と出力を接続した二つのインバータよりなる。

【0038】フリップフロップ（ゲート回路）8は、信号φ1とφ3の停止時の状態によって制御され、その出力は、トランスファゲートTG2、TG3の導通を相補的に制御している。すなわち、判定出力信号φ1がローレベルの時には、信号φ3の状態にかかわらず、トランスファゲートTG2、TG3をオフする。判定出力信号φ1がハイレベルで、且つ、信号φ3がハイレベルの時には、トランスファゲートTG2をオンし、トランスファゲートTG3はオフのままとする。判定出力信号φ1がハイレベルで、φ3がローレベルの時にはトランスファゲートTG2をオフし、トランスファゲートTG3をオンする。なお、回路8は、判定出力信号φ1とトランスファゲートTG4の出力である信号φ3と、を入力とする第1のNANDゲートと、判定出力信号φ1と、第2のラッチ回路7による信号φ3の反転出力φ3[‐]を入力とする第2のNANDゲートとから構成され、第1のNANDゲートの出力はトランスファゲートTG2を制御し、第2のNANDゲートの出力はトランスファゲートTG3を制御する。

【0039】本実施例の大きな特徴は、信号φ3を発振回路21にフィードバックせずに、従来の回路の目的である、昇圧節点V_Bの電位変化に対し、チャージポンプ3が遅延なく動作することを実現した点である。

【0040】このことにより、チャージポンプ回路を複数台配置し、それぞれに制御回路5を接続し、位相差をつけた信号φ1、φ2で制御することによってチャージポンプの分割化が可能となる。すなわち、複数台のチャージポンプ回路に対応して設けられた制御回路5には、電圧検知回路1の判定出力信号φ1、及び発振回路21の出力φ2をそれぞれ遅延回路で遅延して位相差をつけた信号が供給される。

【0041】図2（a）乃至図2（d）にタイミングチャートの例を示す。これらを用いて本実施例の基本動作を説明する。

【0042】V_Bが設定値よりも低いと、判定出力信号φ1はハイレベルとなるので、発振回路21の出力信号φ2はクロッキングを続ける。トランスファゲートTG2がオンの時には、信号φ3（φ2をインバータで反転した信号φ2[‐]のトランスファゲートT2の出力）は、信号φ2に逆相でクロッキングし、トランスファゲートTG3がオンの時には、信号φ3（信号φ2のトランスファゲートTG3の出力）は、信号φ2と同相でクロッ

キングし、チャージポンプ3を動作させる。こうしてV_Bが設定値へと近づいていく。

【0043】V_Bが設定値になると、判定出力信号φ1はローレベルとなり、信号φ1をインバータで反転した信号をゲート入力とするNchトランジスタTr1がオンし、トランスファゲートTG1、TG2、TG3をオフ、トランスファゲートTG4はオンとなり、ラッチ回路6、7も動作を開始する。

【0044】判定出力信号φ1がローレベルになった時、トランスファゲートTG1がオフし、NchトランジスタTr1がオンすることで、発振回路2の出力φ2は強制的にハイレベルとなる。

【0045】判定出力信号φ1がローレベルになった時、発振回路21の出力φ2がハイレベルの場合、そのまま停止する（図2（b）、図2（c）参照）。

【0046】一方、判定出力信号φ1がローレベルになった時、発振回路21の出力φ2がローレベルの場合には、出力φ2が1回ハイレベルになって動作を停止する（図2（a）、図2（d）参照）。

【0047】発振回路21の出力φ2を、直接チャージポンプ回路3へ接続して動作をさせたならば、判定出力信号φ1がローレベルになった後、φ2がローレベルからハイレベルに動作する分、チャージポンプ回路3を余分に動作させることになり、V_Bが設定値よりも高くなってしまう。

【0048】そこで、本実施例の回路では、制御回路5を設け、発振回路21の出力φ2と、チャージポンプ回路への出力φ3を制御することで、これを解決した。

【0049】V_Bが設定値よりも低くなると、判定出力信号φ1は再びハイレベルになる。第1のラッチ回路6は、ラッチ動作を停止し、トランスファゲートTG4はオフになる。この時、第2のラッチ回路7は、φ3の動作を停止している時の状態を記憶している。

【0050】この第2のラッチ回路7の出力の論理と、判定出力信号φ1の論理によって、回路8は、発振回路φ2、φ2[‐]のうち、信号φ3の逆論理の信号を選択して、φ3のノードに与える。

【0051】信号φ3は、強制的に逆論理を与えられるので、判定出力信号φ1がハイレベルになった直後に動作を開始する。

【0052】このようにして、発振回路21の出力を、直接、チャージポンプ3に接続するのではなく、制御回路5の出力を接続することによって、電圧検知回路1の出力であるφ1の信号の変化に対し、チャージポンプが遅延することなく動作する。

【0053】すなわちV_Bの変化に対し、遅延することなくチャージポンプが動作する。

【0054】チャージポンプ回路内のブート用コンデンサの総容量を500pFとして、従来の昇圧回路の消費電流のピーク値は約400mAであった。

【0055】これに対し、本実施例において、チャージポンプ回路を2台にすると、消費電流のピーク値は約200mAとなりチャージポンプ回路を4台にすると消費電流のピーク値は約100mAとなり、約1/4となった。

【0056】本実施例を用いることにより、DRAM回路内のノイズを低減し、センスアンプ等の安定動作が期待できる。

【0057】

【発明の効果】以上説明したように、本発明によれば、セルデータ増幅時のノイズと昇圧回路動作によるノイズの重複とで発生するピーク電流を分散させることにより、DRAM回路内のノイズを低減し、センスアンプ等を安定動作させることができる、という効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施例の昇圧回路の回路構成を示す図である。

【図2】本発明の一実施例の動作を示すタイミングチャートである。

【図3】従来の昇圧回路の回路図である。

【図4】従来の昇圧回路の動作を示すタイミングチャートである。

【図5】従来の電圧検知回路の回路構成の一例を示す図である。

【図6】従来のチャージポンプ回路の回路構成の一例を示す図である。

【符号の説明】

1 電圧検知回路

21、22 発振回路

3 チャージポンプ回路

4、5 制御回路ブロック

6、7 ラッチ回路

8 F/F

C1、C2 容量

CL 補償容量

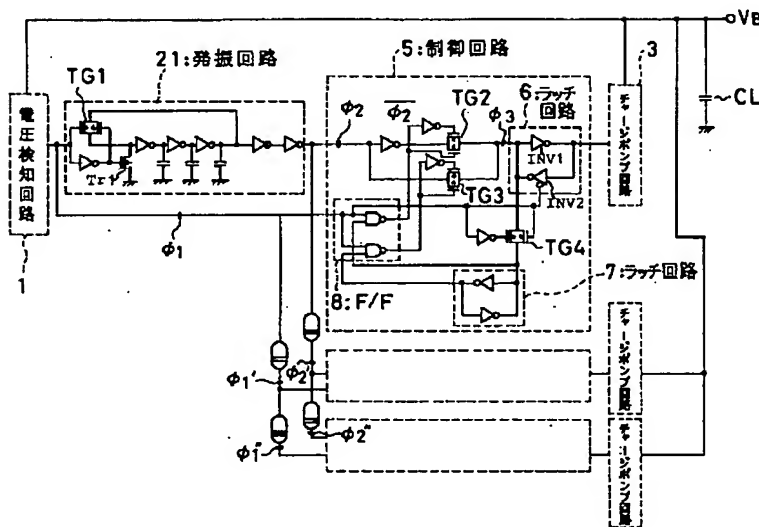
Q1 NMOSTランジスタ

TG1、TG2、TG3、TG4 トランスファゲート

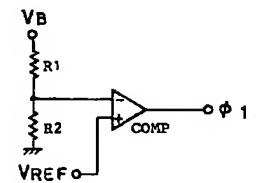
V_B 昇圧電位節点

V_{REF} リファレンス電圧

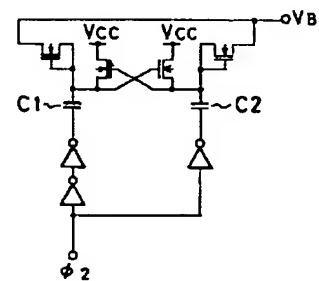
【図1】



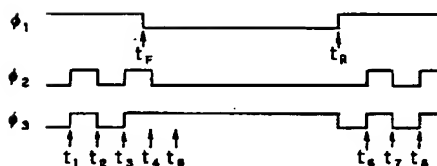
【図5】



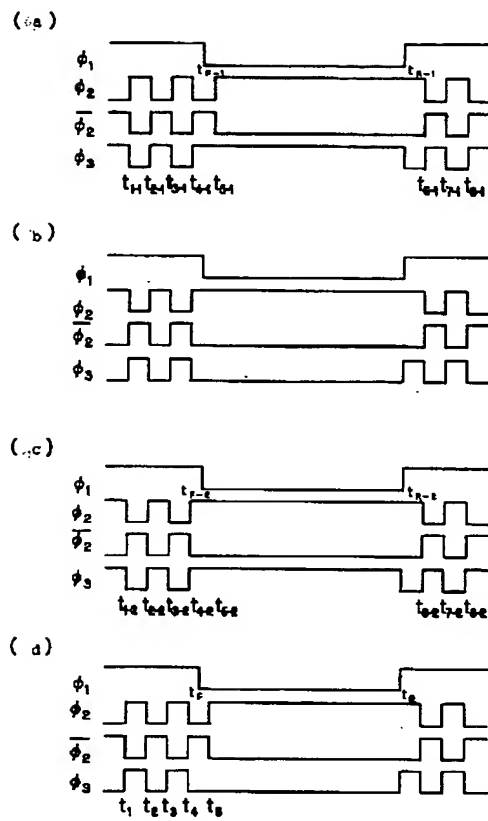
【図6】



【図4】



【図2】



【図3】

